

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-015395

(43)Date of publication of application : 17.01.1995

(51)Int.Cl.

H04H 5/00

(21)Application number : 03-260323

(71)Applicant : NIPPON PRECISION CIRCUITS KK  
KENWOOD CORP

(22)Date of filing : 08.10.1991

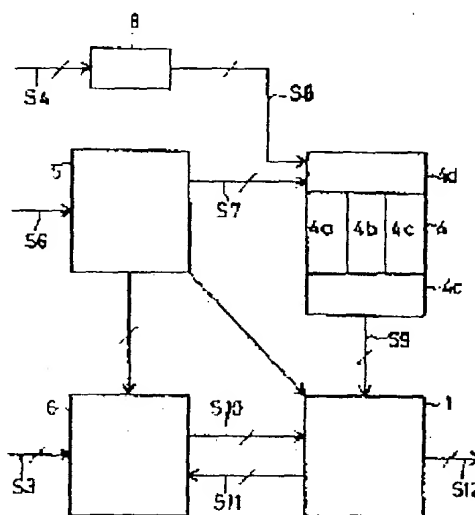
(72)Inventor : TAKEDA MINORU  
SHIRATA KAZUHIKO  
UENO HIDEO  
HAYASHI NORIYUKI

## (54) DIGITAL SIGNAL PROCESSING CIRCUIT FOR SOUND FIELD CONTROL

## (57)Abstract:

PURPOSE: To obtain a circuit without extending a hardware scale when plural sampling frequencies are handled in a digital signal processing system for sound field control.

CONSTITUTION: A storage area designation code  $s_8$  converted from a recognition code  $s_4$  is inputted to the address decoder  $4d$  of a coefficient memory circuit 4. When the code shows '00', a storage area  $4a$  is designated, and fixed coefficient data  $s_9$  in accordance with the sampling frequency  $fs_1$  is outputted sequentially according to sequence data  $s_7$  from a sequence memory circuit 5. When the code shows '01', a storage area  $4b$  is designated, and the data  $s_9$  in accordance with the sampling frequency  $fs_2$  is outputted. When the code shows '10', a storage area  $4c$  is designated, and the data  $s_9$  in accordance with the sampling frequency  $fs_3$  is outputted. An arithmetic circuit 1 receives the fixed coefficient data  $s_9$  and serial data  $s_{10}$  from a serial data memory circuit 6, and performs an arithmetic operation.



## LEGAL STATUS

[Date of request for examination] 19.07.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application] 28.07.1995

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(51)Int.Cl.<sup>6</sup>

H 0 4 H 5/00

識別記号

片内整理番号

F I

技術表示箇所

Y 8732-5K

審査請求 有 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平3-260323

(22)出願日 平成3年(1991)10月8日

(71)出願人 390009667

日本プレシジョン・サーキット株式会社  
東京都中央区京橋二丁目6番21号

(71)出願人 000003595

株式会社ケンウッド  
東京都渋谷区道玄坂1丁目14番6号

(72)発明者 竹田 稔

東京都中央区八丁堀四丁目5番4号 日本  
プレシジョン・サーキット株式会社内

(72)発明者 白田 和彦

東京都中央区八丁堀四丁目5番4号 日本  
プレシジョン・サーキット株式会社内

(74)代理人 弁理士 松田 和子

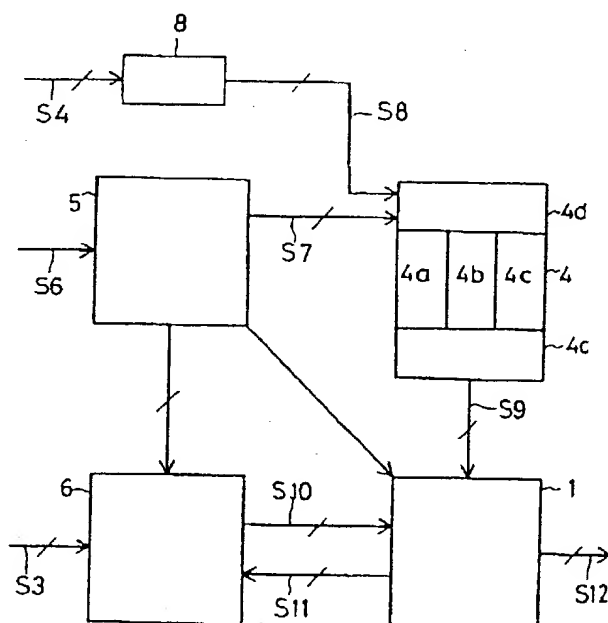
最終頁に続く

(54)【発明の名称】 音場制御用デジタル信号処理回路

## (57)【要約】

【目的】 音場制御用デジタル信号処理システムにおいて、複数のサンプリング周波数を取扱う場合に、ハードウェア規模を増大させずに構成可能な回路を提供することである。

【構成】 認識コード  $s_4$  を変換した記憶領域指定コード  $s_8$  が、係数記憶回路4のアドレスデコーダ4dに入力される。コードが“00”のときには、記憶領域4aが指定され、サンプリング周波数  $f_{s1}$  に対応した固定係数データ  $s_9$  が、シーケンス記憶回路5からのシーケンスデータ  $s_7$  にしたがって順次出力される。コードが“01”のときには4bが指定され、 $f_{s2}$  に対応したデータ  $s_9$  が出力される。コードが“10”のときには4cが指定され、 $f_{s3}$  に対応したデータ  $s_9$  が出力される。演算回路7では、固定係数データ  $s_9$  およびシリアルデータ記憶回路6からのシリアルデータ  $s_{10}$  を受けて演算処理が行なわれる。



## 【特許請求の範囲】

【請求項1】 2チャンネルのアナログーデジタル変換されたオーディオ信号をデジタルフィルタ等の演算回路でデジタル演算処理して、3チャンネル以上のデジタル出力信号を得る音場制御用デジタル信号処理回路において、デジタルフィルタの伝達関数における固定係数に対応したデジタルデータを上記アナログーデジタル変換動作における複数のサンプリング周波数に対応して複数の記憶領域に記憶し、上記複数のサンプリング周波数を識別する識別データに対応して上記複数の記憶領域が指定される係数記憶回路と、

上記記憶領域に記憶された上記固定係数を読み出すシーケンスデータを記憶し、このシーケンスデータにより上記固定係数を読み出すシーケンス記憶回路とを有することを特徴とする音場制御用デジタル信号処理回路。

【請求項2】 2チャンネルのアナログーデジタル変換されたオーディオ信号をデジタルフィルタ等の演算回路でデジタル演算処理して、3チャンネル以上のデジタル出力信号を得る音場制御用デジタル信号処理回路において、デジタルフィルタの伝達関数における固定係数に対応したデジタルデータを上記アナログーデジタル変換動作における複数のサンプリング周波数に対応して複数の記憶領域に記憶し、上記複数のサンプリング周波数を識別する識別データに対応して上記複数の記憶領域が指定される係数記憶回路と、

上記記憶領域に記憶された上記固定係数を読み出すシーケンスデータを記憶し、このシーケンスデータにより上記固定係数を読み出すシーケンス記憶回路とを有し、上記識別データおよび上記シーケンスデータを直接的または間接的に上記係数記憶回路のアドレスデータとして用い、このアドレスデータに対応したアドレスから上記固定係数を読み出すことを特徴とする音場制御用デジタル信号処理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、音場制御用デジタル信号処理回路に関する。

## 【0002】

【従来の技術】 家庭内や自動車内で劇場やコンサートホールにいるかのような雰囲気を得ることを、一般的に音場制御と呼んでいる。この音場制御の一般的な手法は、2チャンネルのオーディオ信号からサラウンド信号を作り出すことである。このサラウンド信号を作る手段にデジタル信号処理を用いた手法がある。

【0003】 1982年にCD（コンパクトディスク）が登場して以来、デジタルのオーディオソースが増えて\*

$$H(z) = (a_0 + a_1 z^{-1} + a_2 z^{-2}) / (1 - b_1 z^{-1} - b_2 z^{-2})$$

となる。ここで、

$$z = \exp(-j\omega Ts)$$

$$\omega = 2\pi f$$

（“f”はアナログ周波

\*いる。例えば、DAT（デジタルオーディオテープレコーダ）、BS（衛星放送）、VD（ビデオディスクプレーヤ）等である。これらのデジタルソースは、デジタルオーディオインターフェースにより、機器間のデータ伝送が可能となっている。このことにより、デジタル入力を備えるとともにD/A変換回路を備えたアンプが出現している。これによれば、アナログ伝送によりオーディオ信号を機器間で伝送していたものに比べ、外部ノイズの低減や各種のアナログ信号処理に伴う音質劣化の低減が可能となっている。

【0004】ところで、2チャンネルのオーディオ信号からサラウンド信号を得る方式のひとつに、ドルビーサラウンドがある。このドルビーサラウンドは、映画用の音響システムであり、1975年に登場したものである。これは、前方中央、前方左、前方右の3チャンネル並びに後方1チャンネルの合計4チャンネルのオーディオ信号を2チャンネルにエンコードして映画フィルムのサウンドトラックに記憶し、再生時には専用のデコーダによりエンコード時の4チャンネルを復元する、というものである。そして、映画館と同じ構成をとるドルビープロロジックデコーダ（詳細は特開昭61-251400号公報に記載されている。）が、1987年に登場した。このデコーダは、前方2チャンネルでは左右スピーカが離れるにしたがって画像と音像がずれる、という問題点を解消するものである。

【0005】ドルビープロロジックデコーダは、通常、アナログ演算素子およびコンデンサや抵抗等のアナログ部品を用いたフィルタ回路、並びに検波回路、加算回路、VCA（電圧制御増幅器）等で構成される。そして、入力レベル自動補正、方向性強調、チャンネルコントロール等の信号処理が行われる。上記アナログ回路には、各種の時定数を有するフィルタが含まれており、これらの時定数は所定の仕様内に納まらなければならない。このドルビープロロジックデコーダにおける信号処理（通常はアナログ信号処理）をデジタル信号処理にて行う場合、2チャンネルのオーディオ信号 $L_t$ 、 $R_t$ は、所定のサンプリング周波数でA/D変換することにより、標本化および量子化されたデジタルデータ（通常はPCMデータ）で表される。

【0006】上記ドルビープロロジックデコーダ等の音場制御用信号処理システムをデジタル信号処理を用いて構成する場合、処理を実行する場合の基本となる演算システムとして、IIR（Infinite Impulse Response）デジタルフィルタがある。以下、2次IIRフィルタ（バイカッドフィルタ）を例にとり説明する。2次IIRフィルタの伝達関数“ $H(z)$ ”は、

数)

$$Ts = 1/fs$$

（“fs”はサンプリング

周波数)

3

$$j^2 = -1$$

である。また、この2次IIRフィルタの構成を図5に示す。上式からわかるように、サンプリング周波数“ $f_s$ ”が変化した場合、ある特定のアナログ周波数における“ $H(z)$ ”の値は、“ $z = \exp(-j\omega Ts)$ ”の変化に伴って変化してしまう。つまり、複数のサンプリング周波数“ $f_s$ ”に対して“ $H(z)$ ”を同様に保つためには、上式の各固定係数(フィルタ係数)“ $a_0$ ”、“ $a_1$ ”、“ $a_2$ ”、“ $b_1$ ”、“ $b_2$ ”を変化させなければならない。したがって、例えば3通りの“ $f_s$ ”

( $f_{s1}$ 、 $f_{s2}$ 、 $f_{s3}$ )に対応させるためには、  
 $f_{s1}$ に対応した固定係数 :  $a_{01}$ 、 $a_{11}$ 、 $a_{21}$ 、 $b_{11}$ 、 $b_{21}$

$f_{s2}$ に対応した固定係数 :  $a_{02}$ 、 $a_{12}$ 、 $a_{22}$ 、 $b_{12}$ 、 $b_{22}$

$f_{s3}$ に対応した固定係数 :  $a_{03}$ 、 $a_{13}$ 、 $a_{23}$ 、 $b_{13}$ 、 $b_{23}$

の三つの固定係数セットが必要となる。

【0007】以上のように、従来主としてアナログ信号処理によって行なわれていたドルビープロロジックデコーダのような音場制御用信号処理システムを、デジタル信号処理によって行う場合、固定係数(フィルタ係数)をサンプリング周波数に依存して決定する必要がある。このように、複数のサンプリング周波数に対してデジタル信号処理を実行する場合、各サンプリング周波数に対応して複数の信号処理装置を用意し、各サンプリング周波数に応じてそれらの装置を切り換えて演算出力を得る方法が、一般的に考えられる。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、各サンプリング周波数に対応して複数の信号処理装置を用意しなければならないため、ハードウェアの規模が大きくなるという問題点があった。

【0009】本発明の目的は、音場制御用デジタル信号処理システムにおいて、複数のサンプリング周波数を取扱う場合に、ハードウェア規模を増大させずに構成可能な回路を提供することである。

【0010】

【課題を解決するための手段】本発明は、2チャンネルのアナログデジタル変換されたオーディオ信号をデジタルフィルタ等の演算回路でデジタル演算処理して、3チャンネル以上のデジタル出力信号を得る音場制御用デジタル信号処理回路において、デジタルフィルタの伝達関数における固定係数に対応したデジタルデータを上記アナログデジタル変換動作における複数のサンプリング周波数に対応して複数の記憶領域に記憶し、上記複数のサンプリング周波数を識別する識別データに対応して上記複数の記憶領域が指定される係数記憶回路と、上記記憶領域に記憶された上記固定係数を読み出すシーケンスデータを記憶し、このシーケンスデータにより上記固定係

4

数を読み出すシーケンス記憶回路とを有することを特徴とする。

【0011】

【実施例】図1および図2は、音場制御用デジタル信号処理回路を含むシステムを示したブロック図である。音場制御用デジタル信号処理回路としては、例えばドルビープロロジックデコーダ(特開昭61-251400号公報等に記載されたデコーダをいうが、ここではこれと等価な構成をデジタル的に構成したものである。)をあげることができるが、勿論これに限定されるものではなく、2チャンネルのアナログデジタル変換されたオーディオ信号をデジタルフィルタ等の演算回路でデジタル演算処理して、3チャンネル以上のデジタル出力信号を得るものであればよい。

【0012】図1および図2において、1はデジタルオーディオインターフェース回路(デジタルオーディオインターフェース(同軸ケーブルまたは光ファイバによる伝送でかつバイフェーズマークを使用、AES/EBU規格またはEIAJ規格)の受信/復調用ICで構成される。)、2は音場制御用デジタル信号処理回路、3はマイクロコンピュータである。デジタルオーディオインターフェース回路1には、CD(コンパクトディスク)、VD(ビデオディスク)、BS(衛星放送)等の信号源からのソース信号 $s_1$ が入力され、クロック信号 $s_2$ 、シリアルデータ $s_3$ 、サンプリング周波数を識別するための認識コード(図1の場合は $s_4$ 、図2の場合は $s_4'$ )に分離される。認識コード(識別データ)は、図1のように直接的に音場制御用デジタル信号処理回路2に入力するようにしてもよいし、図2のようにマイクロコンピュータ3を介して間接的に音場制御用デジタル信号処理回路2に入力するようにしてもよい。認識コードは、デジタルオーディオインターフェースフォーマットで規定されるコードの中に存在しており、特定のサンプリング周波数に対して予め決められている。デジタルオーディオで用いられる一般的なサンプリング周波数には、44.1kHz、48kHz、32kHzがある。44.1kHzはコンパクトディスク、ビデオディスク、デジタルオーディオテープレコーダ等で用いられ、48kHz/32kHzはデジタルオーディオテープレコーダ、衛星放送等で用いられている。3通りのサンプリング周波数の認識コードは2ビットで表現することができ、デジタルオーディオインターフェース回路1では、この2ビットをそのまま2端子で出力する場合と、この2ビットをデコードして3端子で出力する場合とがある。音場制御用デジタル信号処理回路2では、デジタル信号処理がなされ、その信号処理結果は出力信号 $s_5$ として出力される。

【0013】図3は、図1および図2に示した音場制御用デジタル信号処理回路2の主要部の構成を示したブロック図である。

【0014】係数記憶回路4は、ROM（リードオンリメモリ）を用いて構成され、デジタルフィルタの伝達関数における固定係数（フィルタ係数、従来例の項および図5を参照）に対応したデジタルデータを、複数のサンプリング周波数（ここでは、 $f_{s1}=44.1\text{kHz}$ 、 $f_{s2}=48\text{kHz}$ 、 $f_{s3}=32\text{kHz}$ とする。なお、サンプリング周波数は、図示しないA/D変換回路のサンプリング信号の周波数に対応したものである。）に対応して、複数の記憶領域4a、4bおよび4cに、それぞれ記憶するものである。この係数記憶回路4は、記憶領域4a、4bおよび4c、アドレスデコーダ4d並びにデータ出力部4eから構成されている。各記憶領域4a、4bおよび4cは、認識コードs4（識別データ）に対応して指定される。

【0015】シーケンス記憶回路5は、ROMを用いて構成され、各記憶領域4a、4bおよび4cに記憶された固定係数を読み出すためのシーケンスデータを記憶するものであり、コントロール信号s6によって制御される。シーケンスデータs7および後述の変換回路8から出力される記憶領域指定コードs8は係数記憶回路4のアドレスデコーダ4dに入力され、シーケンスデータs7はアドレスの下位ビットに、記憶領域指定コードs8は上位ビットになる。

【0016】シリアルデータ記憶回路6は、RAM（ランダムアクセスメモリ）を用いて構成され、デジタルオーディオインターフェース回路（図1および図2を参照）からのシリアルデータs3を入力してこれを記憶するとともに、後述の演算回路7からの演算処理データs11を入力してこれ記憶するものである。

【0017】演算回路7は、乗算および加算減を行う回路であり、係数記憶回路4のデータ出力部4eからの固定係数データs9およびシリアルデータ記憶回路6からのシリアルデータs10を受けて演算処理（デジタルフィルタとしての演算処理であり、例えば従来例の項で示した式および図5に対応した演算処理である。）を行い、その演算結果データs12を出力するものである。

【0018】変換回路8は、認識コードs4をエンコードまたはデコードして、2ビットの記憶領域指定コードs8を出力するものである。記憶領域指定コードs8は、各サンプリング周波数 $f_{s1}$ 、 $f_{s2}$ および $f_{s3}$ に対応して定められ、 $f_{s1}$ にはコード“00”が、 $f_{s2}$ にはコード“01”が、 $f_{s3}$ にはコード“10”が、それぞれ対応する。そして、コード“00”のときには記憶領域4aが、コード“01”のときには記憶領域4bが、コード“10”のときには記憶領域4cが、それぞれ指定される。認識コードs4と記憶領域指定コードs8との対応関係は、デジタルオーディオインターフェース回路1（図1および図2を参照）における認識コードs4の出力形式（すでに述べたように、2ビットの認識コードをそのまま2端子で出力する場合と、この2ビットをデ

コードして3端子で出力する場合とがある。）によって異なる。2端子で出力する場合には、認識コードs4の“00”、“01”、“10または11”が、記憶領域指定コードs8の“00”、“01”、“10”に、それぞれ対応する。3端子で出力する場合には、認識コードs4の“001”、“010”、“100”が、記憶領域指定コードs8の“00”、“01”、“10”に、それぞれ対応する。図2のようにマイクロコンピュータ3を介して認識コードs4が出力される場合には、上記のような変換動作（エンコードまたはデコード）をマイクロコンピュータ3内で行ってもよく、この場合には変換回路8は省略可能である。なお、上記の認識コードs4および記憶領域指定コードs8に示した具体的なコードは単なる一例であり、これら以外のコードで表現することも、もちろん可能である。

【0019】つぎに、図1、図2および図3に示した実施例の動作を、図4に示したフローチャートを参照して説明する。なお、このフローチャートはシステムの機能を説明するためのものであり、ハードウェア処理とシーケンス処理とを混在させて示してある。

【0020】認識コードs4（識別データ）をエンコードまたはデコードした記憶領域指定コードs8が、係数記憶回路4のアドレスデコーダ4dに入力されると、そのコードが“00”、“01”、“10”のいずれであるかが判断される。実際には、これらのコードはハードウェアで判断される。記憶領域指定コードが“00”のときには、記憶領域4aが指定され、サンプリング周波数 $f_{s1}$ に対応した固定係数データs9（フィルタ係数データ）が、シーケンス記憶回路5からのシーケンスデータs7にしたがって、順次出力される。記憶領域指定コードが“01”のときには、記憶領域4bが指定され、サンプリング周波数 $f_{s2}$ に対応した固定係数データs9が、同様にして出力される。記憶領域指定コードが“10”のときには、記憶領域4cが指定され、サンプリング周波数 $f_{s3}$ に対応した固定係数データs9が、同様にして出力される。演算回路7では、係数記憶回路4からの固定係数データs9およびシリアルデータ記憶回路6からのシリアルデータs10を受けて演算処理が行われ、その演算結果データs12を出力する。演算結果データs12に基づき、音場制御用デジタル信号処理回路からは最終的に出力信号s5が出力される（図1および図2を参照）。

#### 【0021】

【発明の効果】本発明では、各サンプリング周波数に対応して複数の信号処理装置を用意する必要がないため、ハードウェア規模を増大させずに音場制御用デジタル信号処理回路を構成可能である。

#### 【図面の簡単な説明】

【図1】本発明の実施例を示したブロック図である。

【図2】本発明の実施例を示したブロック図である。

【図 3】 図 1 および図 2 の要部を示したブロック図である。

【図 4】 図 1、図 2 および図 3 の動作を示したフローチャートである。

【図 5】 デジタルフィルタの演算処理を示した説明図で

ある。

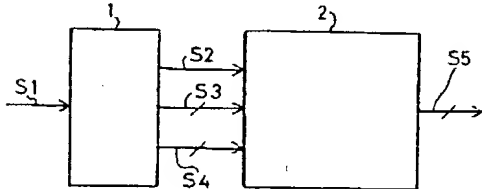
【符号の説明】

2 ……音場制御用デジタル信号処理回路

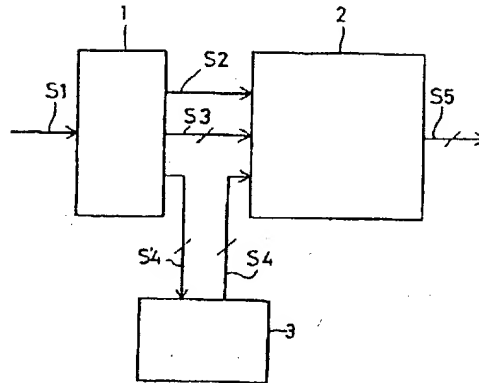
4 ……係数記憶回路

5 ……シーケンス記憶回路

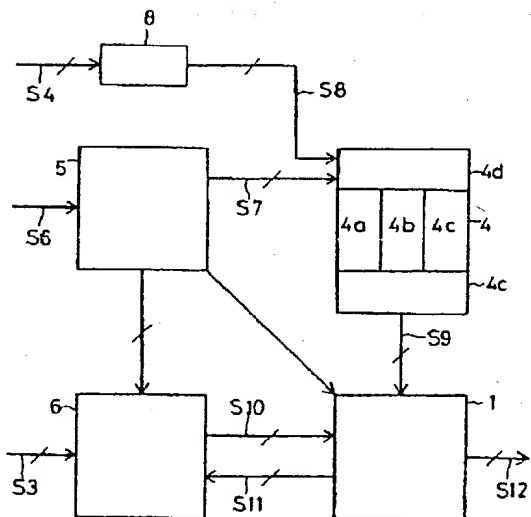
【図 1】



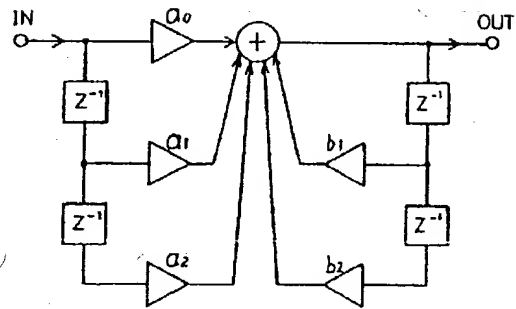
【図 2】



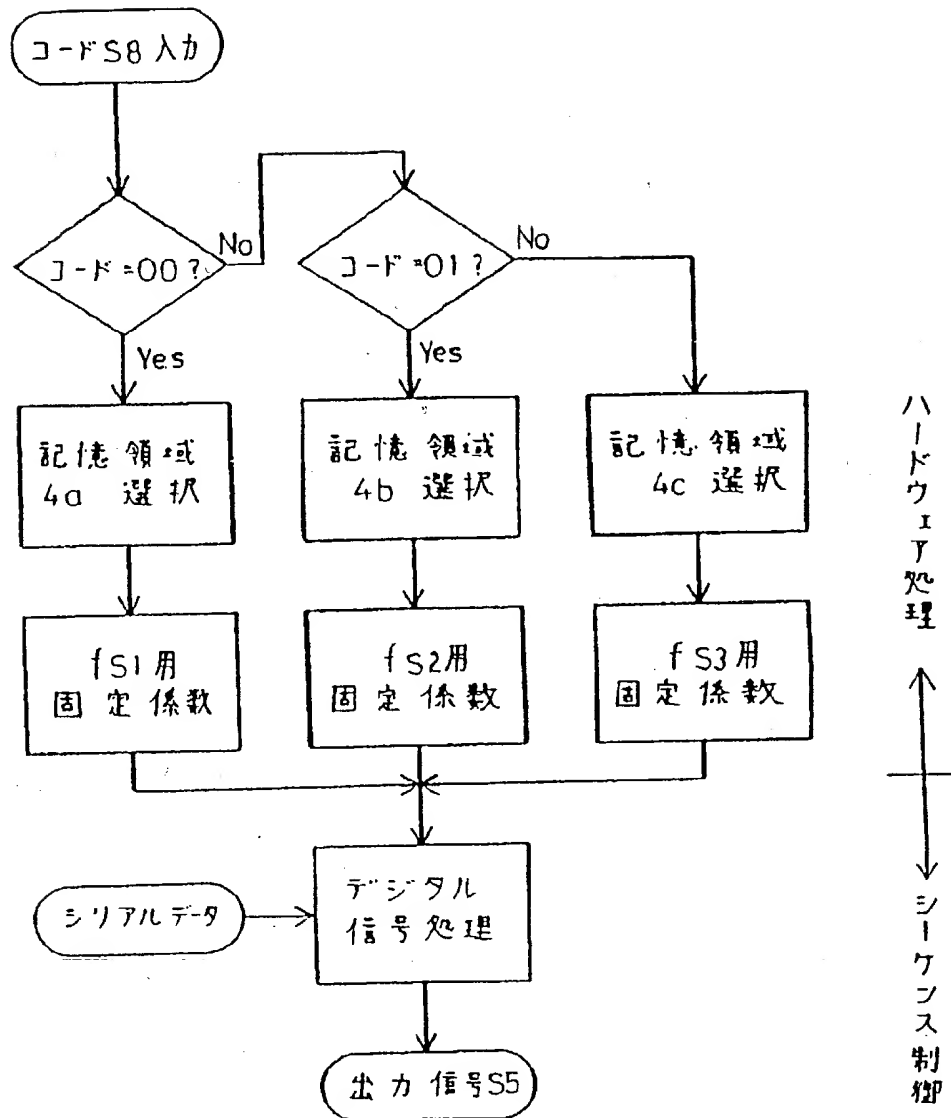
【図 3】



【図 5】



【図 4】



フロントページの続き

(72)発明者 上野 秀男  
東京都渋谷区渋谷2丁目17番5号 株式会  
社ケンウッド内

(72)発明者 林 範行  
東京都渋谷区渋谷2丁目17番5号 株式会  
社ケンウッド内